

Una solución de bajo costo de FFT para la medición de armónicos de corriente o voltaje

Por: Jonathan Álvarez Ariza

Estudiante Tecnología en Electrónica Universidad Minuto de Dios
j.alvarez905@uniandes.edu.co

Diego Fernando Cano Mendoza

Docente Tecnología en electrónica Universidad Minuto de Dios
dcano@uniminuto.edu

Introducción

Los algoritmos FFT son una solución en procesamiento de señal digital, desde su aparición en la década de los años 70 existen más aplicaciones en este campo. La solución, presentada por este texto, combina las técnicas de procesamiento digital junto con las técnicas de detección de armónicos, en el área de electrónica de potencia. Esta solución optimiza perfectamente una interfaz DSP junto con un sensor transductor que puede ser de corriente o de voltaje, dependiendo de la aplicación que el usuario elija. Se ha hecho un esfuerzo general para ofrecer una técnica de medición capaz de coincidir, con el estándar IEEE, en la medición de armónicos. Esta solución es ofrecida, finalmente, en los campos industrial y educativo, con alcances novedosos en el primer campo; sobre todo manteniendo un margen de bajo costo, razón fundamental de este documento.

Resumen

Una solución de bajo costo para la FFT se presenta en este documento. La principal idea radica en hacer un medidor capaz de medir armónicos de corriente o voltaje, dependiendo del transductor que se utilice en la solución. La FFT utiliza lenguaje assembler con el fin de garantizar una recursión de código y, más aún, garantizar la utilización de poco recurso de máquina; en general, esto hace que el código y la aplicación necesiten menos tiempo para ejecutarse. Tomando una plataforma DSP, de 16 bits, junto con un transductor de voltaje o corriente se puede hacer un medidor capaz de detectar el número de armónicos deseados, con un excelente grado de precisión.

Palabras Clave

FFT, armónicos, Transductor, Bajo costo.

CONTENIDO

"Una solución de bajo costo de FFT para la medición de armónicos de corriente o voltaje."

Las modernas técnicas digitales, sobre plataformas DSP, han hecho que se combinen infinidad de campos que antes era muy difícil enlazar. Estas técnicas, como por ejemplo la FFT, reúnen un conjunto de condiciones que son aplicables al área de electrónica de potencia. Para la generación del código y su implementación sobre hardware digital se ha optado por una plataforma DSP 30F4013 de Microchip Technology Inc. Esta interfaz ofrece una velocidad de procesamiento de 30MIPS, con un tiempo de ejecución de 33.33ns; además, ofrece recursos tales como ADC de 12 bits y módulos de comunicación tales como USART, SPI y un módulo de codificación DCI. Estos recursos hacen que la plataforma sea óptima, para el desarro-

llo de software bajo plataforma digital. El algoritmo que ha sido utilizado es el ya conocido Cooley-Tukey y su desarrollo de algoritmo, en decimación de frecuencia DIF. Este algoritmo ha sido desarrollado en lenguaje C, apto para el DSP conocido como C30 en cual es libre, primeramente, en una versión de 60 días. Luego se ha desarrollado en lenguaje assembler con el fin de optimizar el proceso, tanto en memoria de máquina como en memoria de datos. El software utilizado en ASM30 es descargable totalmente gratis. Se ha optado por un transductor LEM, elegible para la aplicación en corriente o voltaje, que puede ser la serie HX-HX/SP2 o la serie AV100, para corriente y voltaje respectivamente. Se ha respetado, desde luego, el criterio de Nyquist para el muestreo de la señal y el total de muestras necesarias para el proceso, desde luego puede ser opcional en un valor $N=32,64, 128, 256, 512, 1024, 2048$, pero en realidad sólo las 6 primeras son utilizadas; el tiempo de ejecución es de 400 microsegundos aproximadamente para 32 puntos. Un LCD visualiza los resultados de manera gráfica, optimizando aun más los costos.

Donde el término exponencial es conocido como Twiddle Factor. Esta implementación directa es ineficiente por lo cual se recurre al algoritmo Cooley-Tukey (DIF) para la implementación del algoritmo en hardware Dsp. El algoritmo emplea un total de 400 microsegundos, este es un tiempo rápido, si comparamos la arquitectura de DSP con otras tales como Texas Instruments. Podemos entonces emplear el algoritmo DIF, para implementar la sumatoria de la ecuación 1a de la siguiente forma:

$$X[jwk] = \sum_0^{\frac{N}{2}-1} [x(n) + (-1)^k x(n + \frac{N}{2})] e^{-j\frac{2\pi}{N}k}$$

(Ecuación 1).

Esta ecuación es en síntesis el algoritmo como tal. Se debe ahora implementar esta fórmula matemática de tal forma que sea optimizable en el tiempo y en recurso de máquina. Desde luego se ha optado primero por manejar un lenguaje de alto nivel, sin embargo este es ineficiente, pero nos ayuda a comprender como tal el modelo que deseamos generar. Luego se ha desarrollado el código en Assembler optimizando entonces el proceso. La operación es ejecutada en fixed-point suficiente para las operaciones de dsPIC. El problema de escalamiento ha sido resuelto haciendo una división de todos los números en cada fase que sea divisible entre dos, esto hace que el problema del overflow sea resuelto. Este problema resulta de la sumatoria y de la condición de rango dinámico para la cual este sometida el dsPIC. La sa-

lida de buffer del Dspic puede ser presentada de la manera que se desee ya sea fraccionaria o entera, sin embargo para cumplir con la especificación de rango dinámico se ha optado por la presentación de manera entera pero con signo de esta forma el valor máximo representado por 5v es 2048 y el valor mínimo representado por 0 es de -2048, esto hace

que tengamos un rango de 2^{11} bits para representar la muestra de la señal que esta ingresando al dsPIC.

La parte que más tarda en ejecutarse es, sin ninguna duda, la visualización de los resultados; en esta etapa surgían problemas de cómo transferir los datos ya generados a código ASCII entendible por el LCD, esta operación es realizable por una división y asignación, dentro de un string de datos hecho en C. La subrutina principal está hecha en C y desde allí se invoca la función assembler para la ejecución del código de la FFT. Los datos de la FFT son organizados en una operación, conocida como bit reversal, también ejecutada en assembler y luego estos valores son transferidos al LCD por la operación ya descrita. El tiempo o espacio entre visualización de valores es de aproximadamente 2 segundos y la operación, de todo el sistema, es simplemente realizada pulsando un interruptor haciendo que el proceso sea aún más simple para el usuario. El total de utilización de memoria de programa es de 20%, mientras la memoria de datos es de un 50%, lo cual hace que no se utilice ni se emplee a fondo todo el recurso de memoria DSP. Para ejecutar el código en el dsPIC 30f4013 se utiliza un estándar sencillo y cómodo que aminora aún más los precios, este estándar en el ICSP que puede programar el DSP simplemente utilizando los pines PGD (data), PGC (clock), Vpp (entrada de habilitación de programación en flash memory), y Vdd (+5v) y Vss (gnd), con un simple quemador de PICS conectado al puerto paralelo de una PC. El transductor puede ser open-loop o closed-loop (efecto hall), este contiene un pin de referencia de voltaje o ASIC capaz de dar al DSP el voltaje necesario de referencia al respectivo VREF del dsPIC. No es una restricción el ancho de banda de la señal BW ni tampoco el tipo de señal; sin embargo, se debe tener especial cuidado en no exceder el ancho de banda de 200khz del transductor, esto es suficiente para aplicaciones cercanas a los 500KVA, ya sea de choppers, inversores, rectificadores, impulsores de AC, entre otros.

Resultados

Un medidor aceptable de armónicos puede estar entre USD 1000 a USD 3000, el presupuesto bajo el cual se ha desarrollado el instrumento es el siguiente:

· dsPIC 30f4013 (USD 17).

- LCD (alfa numérico, USD 5)
- Transductor LEM (aprox. USD 50-100).
- Amplificadores Rail to Rail MCP6xxx(USD 5-10)
- Accesorios (caja, acoplamiento USD 25).

El costo total: USD157 valor neto; el costo laboral puede estar entre USD 100 a USD 200, es decir que el costo total está por cerca de USD 357.

Conclusiones

Con base en los costos ya mencionados, se observa una reducción de más del 50% en la construcción del instrumento. Esta es la razón fundamental por la cual se ha desarrollado el presente documento; estos costos son dados en dólares y desde luego muestra la magnitud de la reducción. Se ha hecho una aplicación real que, en realidad, es la síntesis de las modernas técnicas digitales en el procesamiento de señal digital, junto con un área que últimamente ha sido de interés para ingenieros eléctricos y electrónicos: la electrónica de potencia. Este campo, en continuo crecimiento, busca la forma de obtener una forma de energía que sea más limpia y eficiente, para así contribuir a un mundo mejor.

Referencias

- [1] Proakis, Jhon. 1998. Tratamiento de señales, ED Prentice Hall.
- [2] Steiglitz, Ken. 1996. A digital signal processing primer, ED Addison-Wesley.
- [3] Mayeda, Wataru. 1993. Digital signal processing, ED prentice Hall.
- [4] Baker, Boonier, Antialiasing. *Analog Filters for data Acquisition Systems*, Application note, (AN 699) Microchip Technology Inc.
- [5] Maltusiak, Robert. 2001. "Implementing Fast Fourier Transform algorithms of real valued Sequences with TMS320 DSP platform" (SPRA 291), Texas instruments.
- [6] Palacherla, Amar. *Implementation of fast Fourier Transforms*, AN 542), Microchip Technology Inc.